

### Gleitkomma

7,4 float / Exponent=5bit

- Exzess (Bias)  
 $2^{(5-1)} - 1 = 2^4 - 1 = 16 - 1 = 15$
- Vorkomma Binär  
 $0,4 \cdot 2 = 0,8 \rightarrow 0$   
 $0,8 \cdot 2 = 1,6 \rightarrow 1$   
 $0,6 \cdot 2 = 1,2 \rightarrow 1$   
 $0,2 \cdot 2 = 0,4 \rightarrow 1$
- Nachkomma Binär
- Normalisieren  
 $111,01100110... \cdot 2^0$   
 $111101100110... \cdot 2^2$
- Exponent 2  
 Exzess: 15 (5bit)  
 $15 + 2 = 17$   
 $17 = 10001$
- Vorzeichen:  $+ = 0$   
 $- = 1$
- $01001110110110$

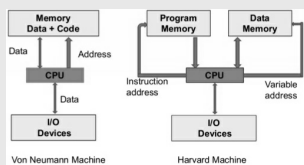
### Zweierkomplement

Beispiel	3D-6D
6D	0110 1101
6D Einerkomplement	1001 0010
6D Zweierkomplement	1001 0011
3D	0011 1101
Ergebnis (D0)	1101 0000
Invertieren (2F)	0010 1111
Plus 1 (30)	0011 0000

### CPU Aufbau

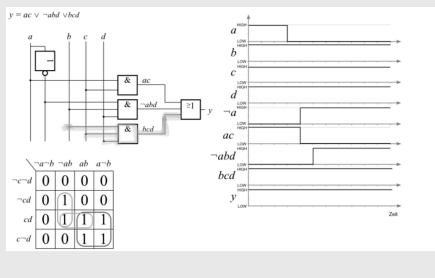
MDR	Memory Data Register
MAR	Memory Address Register
PC	Program Counter
IR	Instruction Register

### Von-Neumann vs Harvard



### CISC vs RISC

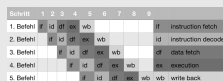
### Hazards



### DNF und KNF

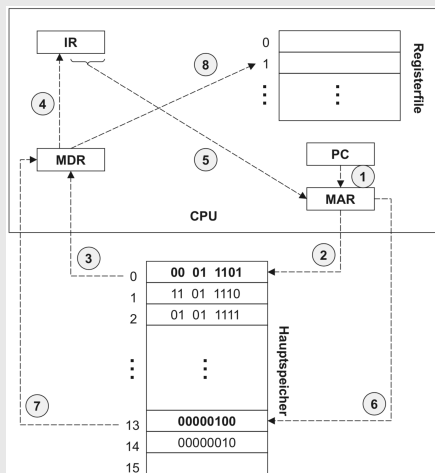


### Pipelining



$$\text{Takte } T = \text{Befehle} + (\text{Pipestufen} - 1)$$

### Ablauf LOAD Befehl



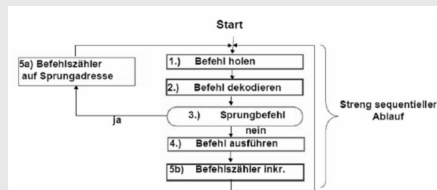
PC in MAR kopiert und auf Adressbus  
 Kontrollwerk verlangt eine Leseoperation  
 und PC um eins inkrementiert  
 Hauptspeicher erhält die Adresse der  
 Speicherzelle vom Adressbus, Inhalt der  
 Zelle per Datenbus an MDR weiter  
 Inhalt MDR in IR kopiert. Kontrollwerk  
 ersten zwei Bits für LOAD Befehl  
 Vier weitere Bits vom IR ins MAR, Inhalt  
 wird dann vom Hauptspeicher gelesen und  
 im MDR gespeichert  
 Inhalt des MDR wird in Register R1 kopiert

### KV Diagramm

### CPU Befehle

Kategorie	Befehle
Transferrbefehle	LOAD, STORE
Arithmetisch- und Logisch	ADC, CMP
Sprungbefehle	JMP, CALL
Systembefehle	DISABLE IRQ ENABLE IRQ

### CPU Ablauf



### Stackframe



### MIPS

Gegaben:  
 • 15.000.000 Befehle  
 • 250MHz  
 • 2,5 Takte mittlere Befehlslänge  
 • 1,6 Speicherzugriffe je Befehl  
 • ohne Branches

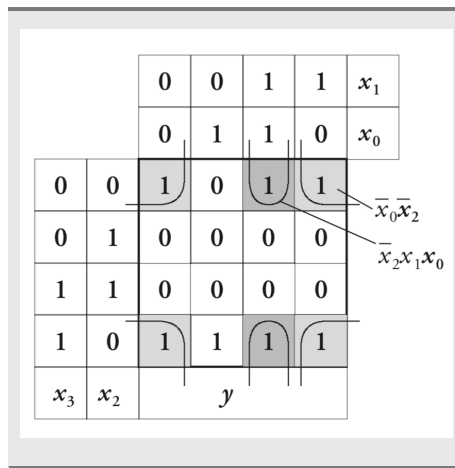
$Takt = \frac{250.000.000}{15.000.000} = 0,000000004s = 4ns$

$\text{Speicherzeit} = Takt \cdot 1,6 = 1,75$

$T_{tot} = \frac{15.000.000 \cdot (2,5 + 1,6 \cdot 1,75)}{250.000.000} = 0,318s$

$MIPS = \frac{250.000.000}{0,318} = 47,17MIPS$

Eigenschaft	CISC	RISC
Register	Wenige (ca. 20)	Viele (bis zu 200)
Befehlssatz	ca. 300	ca. 100
Adressierungsarten	ca. 12	nur 3 bis 5
Caches	gemeinsam	getrennt (nach Harvard)
CPI	1-10 (~4)	1 (~ 1,5)
Befehlssteuerung	Mikrocode im Speicher	Hartverdrahtet Mikroprogramme
Beispiele	x86, AMD, Cyrix	UltraSparc, PowerPC



By **peshay**  
[cheatography.com/peshay/](http://cheatography.com/peshay/)

Not published yet.  
 Last updated 15th May, 2019.  
 Page 1 of 2.

Sponsored by **CrosswordCheats.com**  
 Learn to solve cryptic crosswords!  
<http://crosswordcheats.com>